

# FPGA IO 16bit PORTサンプル

FPGA IO 16bit PORTサンプルの説明

ポートレジスタサイズ 16bit

PA,PB,PC,PD,PE,I,PF,I, ポートを設定  
PG\_O 内部ポートを設定

入出力ポート PA,PB,PC,PD,PI  
入力専用ポート PE,I,PF,I,PH,I  
出力専用内部ポート PG\_O

PAポート ポートレジスタ PADR  
PADDRビットが1の場合  
PADRビットは入力ポートデータ

PADDRビットが1の場合  
PADRビットは出力ポートデータ

ポート入出力設定レジスタ PADDR  
0: 入力 初期値  
1: 出力

PB,PC,PD,PIポートもPAと同様な動作

PE,Iポート ポートレジスタ PEDR  
PEDRビットは入力ポートデータ

PF,I,PH,IポートもPE,Iと同様な動作

PG\_Oポート ポートレジスタ PGDR  
PGDRビットは出力ポートデータ  
PGDR(8:0)-> SRAM\_AB(16:8)に接続

SRAM\_AB(7:0)->SH4 D(7:0)に接続

-: 外部に信号が出ていません。  
G0: GCLK0に接続  
G6: GCLK6に接続  
AB(16:8) : ONポートSRAMに接続

電源ON時 PADDR,PBDDR,PCDDR,PDDDR,PIDDRは  
0x0000になりますので、全て入力ポート設定状態になります。

SW入力ポート PA1,PA0,PB15をプルアップしない場合は  
はUCFファイルによりプルアップの指定をする必要があります。

プルアップしない場合560 以下でプルアップする必要あり  
サンプルでは330 です。

330 は誤って出力ポートに設定した場合の保護用です。

FPGAのプルアップが強力である点に注意する必要があります。

# 2009\_01\_20版 MAI-SP3E-D32 Portサンプル 1/2

PADR	-	-	13	12	-	-	9	8	7	6	5	4	3	2	1	0
------	---	---	----	----	---	---	---	---	---	---	---	---	---	---	---	---

R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

PADDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-------	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

PBDR	15	14	13	12	11	10	9	8	-	-	-	-	-	-	-	0
------	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

PBDDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-------	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

PCDR	15	14	13	12	11	-	9	8	-	6	5	4	3	2	1	0
------	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---	---

R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

PCDDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-------	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

PDDR	-	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
------	---	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

PDDDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-------	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

PEDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	G0
------	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	----

R R R R R R R R R R R R R R R R R

PFDR	15	14	13	12	11	10	9	8	7	-	5	G6	3	2	1	0
------	----	----	----	----	----	----	---	---	---	---	---	----	---	---	---	---

R R R R R R R R R R R R R R R R R

PGDR	-	-	-	-	-	-	-	-	-	AB16	AB15	AB14	AB13	AB12	AB11	AB10	AB9	AB8
------	---	---	---	---	---	---	---	---	---	------	------	------	------	------	------	------	-----	-----

R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ONポートSRAM 16bitBusはCS2_nに接続 PxDR、PxDDRポート16bitBusはCS4_nに接続
---

```

ポートのバスアドレスは
CS4_n: 0x1000-0000 + SH4 P2領域0xA000-0000 -> 0xB000-0000

#define PA_ADDR 0xB0000000 //入出力
#define PB_ADDR 0xB0000004 //入出力
#define PC_ADDR 0xB0000008 //入出力
#define PD_ADDR 0xB000000C //入出力
#define PE_ADDR 0xB0000010 //入力
#define PF_ADDR 0xB0000014 //入力
#define PG_ADDR 0xB0000018 //出力
#define PH_ADDR 0xB000001C //出力
#define PI_ADDR 0xB0000020 //出力

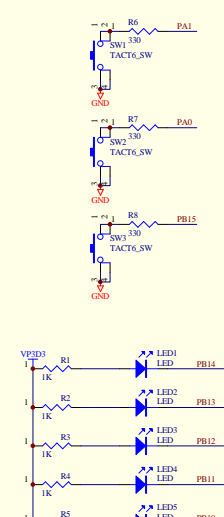
#define PADR (* (volatile unsigned short *)PA_ADDR)
#define PADDR (* (volatile unsigned short *) (PA_ADDR+2))

#define PBDR (* (volatile unsigned short *)PB_ADDR)
#define PBDDR (* (volatile unsigned short *) (PB_ADDR+2))

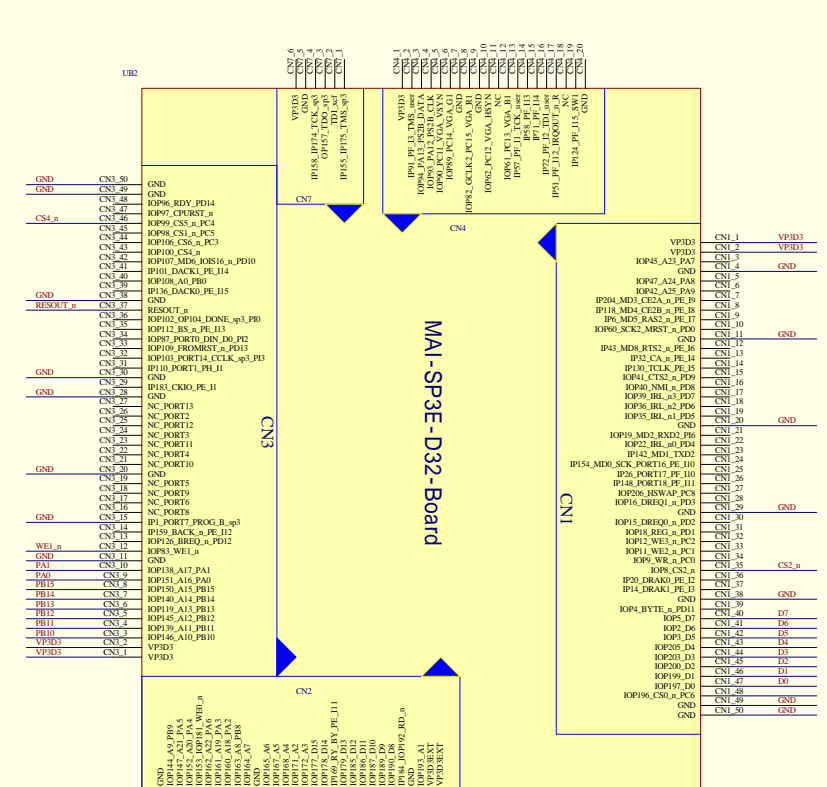
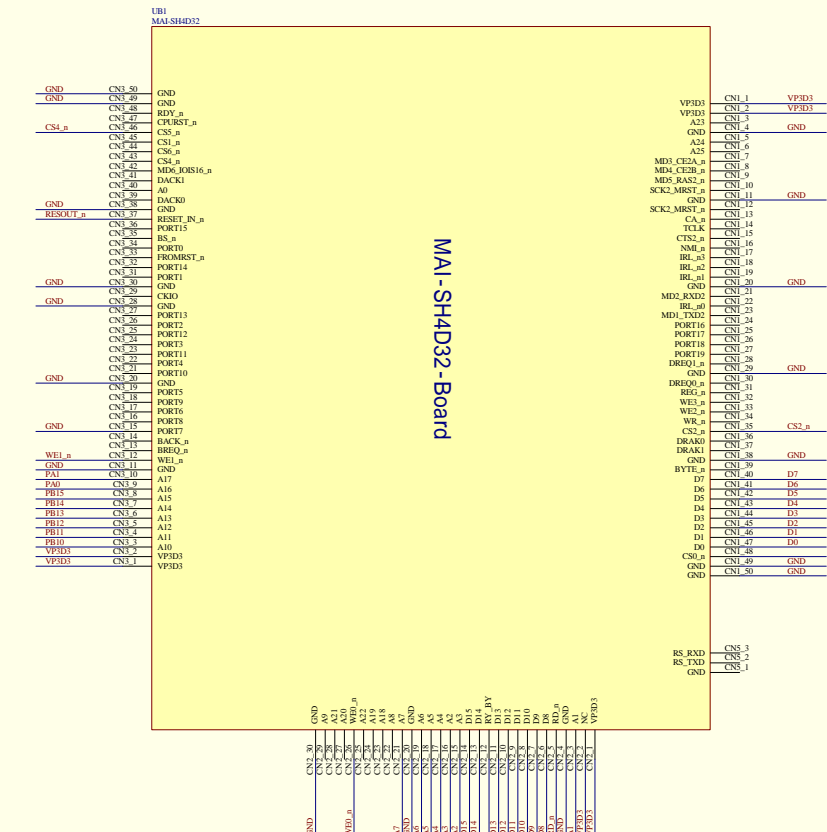
#define PCDR (* (volatile unsigned short *)PC_ADDR)
#define PCDDR (* (volatile unsigned short *) (PC_ADDR+2))

#define PDDR (* (volatile unsigned short *)PD_ADDR)
#define PDDDR (* (volatile unsigned short *) (PD_ADDR+2))

#define PEDR (* (volatile unsigned short *)PE_ADDR)
#define PFDR (* (volatile unsigned short *)PF_ADDR)
#define PGDR (* (volatile unsigned short *)PG_ADDR)
#define PHDR (* (volatile unsigned short *)PH_ADDR)
#define PIDR (* (volatile unsigned short *)PD_ADDR)
#define PIDDR (* (volatile unsigned short *) (PD_ADDR+2))
    
```



# MAI-SH4D32とMAI-SP3E-D32の接続例



Title		
Size	Number	Revision
A1		

スタック接続に関して

- 1.スタック接続の順番  
MAI-SH4D32(上)  
MAI-SP3E-D32(下)

2.スタック接続に使用するコネクタ及び接続方法

PC104 50pinコネクタの長さ2mmの物を使用して  
MAI-SH4D32 CN1(上 ピンヘッダー) -> MAI-SP3E-D32 CN1(下PC104)  
MAI-SH4D32 CN3(上 ピンヘッダー) -> MAI-SP3E-D32 CN3(下PC104)

PC104 30pinコネクタの長さ2mmの物を使用して  
MAI-SH4D32 CN2(上 ピンヘッダー) -> MAI-SP3E-D32 CN2(下PC104)

をスタック接続する。

PC104 64pin(ピン長12mm)を加工して、50pin,30pinを作成する。

LED出力ポート PB14-PB10  
SW入力ポート PB15,PA1,PA0  
はMAI-SH4D32 SH4 CPUボードと接続しない。

注1 PC104コネクタを使用して、スタック接続した場合  
MAI-SP3E-D32はFPGA-QFP208パッケージと  
PC104コネクタが接近しているため、修理が困難  
になる場合があります。

注2 入力専用ポート、入出力ポート(入力設定)を  
使用しない場合、MAI-SH4D64 CPUボードと接続しても  
特に問題はないと思われるが、入出力ポートを誤って  
入力設定を出力設定にした場合、SH4 CPUまたはFPGA  
を破損する可能性がありますので注意してください。

SW入力ポート、PA1,PA0,PB15をプルアップしない場合は  
はUCFファイルによりプルアップの指定をする必要があります。

プルアップした場合560以下でプルダウンする必要あり  
サンプルでは330です。

330は誤って出力ポートに設定した場合の保護用です。

FPGAのプルアップが強力である点に注意する必要があります。

MAI-SH4D32の  
サンプルはimer1SW3Led5\_Little\_D32.zip

MAI-SP3E-D32の  
サンプルはMAI-SH4D32\_IF16\_ISE33\_SCH\_HDL.LZH  
(ISE8.1i SP3を使用)

PHDR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1	G1
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PIDR	AB18	AB17	-	-	-	-	-	-	-	RXD2	RD_n	WE0_n	CCLK	DIN_D0	INIT_B	DONE
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PIDDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W