

# FPGA IO 16bit PORTサンプル

FPGA IO 16bit PORTサンプルの説明

ポートレジスタサイズ 16bit

PA,PB,PC,PD,PE,PF,I, ポートを設定  
PG\_O 内部ポートを設定

入出力ポート PA,PB,PC,PD  
入力専用ポート PE,I,PF,I  
出力専用内部ポート PG\_O

PAポート ポートレジスタ PADDR  
PADDRビットが0の場合  
PADDRビットは入力ポートデータ

PADDRビットが1の場合  
PADDRビットは出力ポートデータ

ポート入出力設定レジスタ PADDR  
0: 入力 初期値  
1: 出力

PB,PC,PDポートもPAと同様な動作

PE\_Iポート ポートレジスタ PEDR  
PEDRビットは入力ポートデータ

PF\_IポートもPE\_Iと同様な動作

PG\_Oポート ポートレジスタ PGDR  
PGDRビットは出力ポートデータ  
PGDR(8:0)-> SRAM\_AB(16:8)に接続

SRAM\_AB(7:0)->SH4 D(7:0)に接続

-:外部に信号が出ていません。  
G0:GCLK0に接続  
G6:GCLK6に接続  
AB(16:8) : ONボードSRAMに接続

電源ON時 PADDR,PBDDR,PCDDR,PDDDRは  
0x0000になりますので,全て入力ポート設定状態になります。

PC104 64pinコネクタ ピンの長さ12mmの物を使用して  
MAI-SH4D64 CN2 -> MAI-SP3E-D64 CN3  
MAI-SH4D64 CN3 -> MAI-SP3E-D64 CN5  
をスタック接続

LED出力ポート PB8-PB12  
SW入力ポート PF\_15-PF\_17  
はMAI-SH4D64 SH4 CPUボードと接続しない。

注:入力専用ポート,入出力ポート(入力設定)を  
使用しない場合, MAI-SH4D64 CPUボードと接続しても  
特に問題はないと,思われるが,入出力ポートを誤って  
入力設定を出力設定にした場合, SH4 CPUまたはFPGA  
を破損する可能性がありますので注意してください。

MAI-SH4D64の  
サンプルtimer1SW3Led5\_Little.zip

MAI-SP3E-D64の  
サンプルMAI\_SH4D64\_IF16\_ISE\_VHDL.zip  
(ISE8.1i SP3を使用)

## 2008\_12\_18版

PADR	15	14	13	12	-	-	9	8	7	6	5	4	3	2	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PADDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBDR	15	14	13	12	11	10	9	8	-	-	-	-	-	-	-	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBDDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCDDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDDR	-	14	13	12	11	10	9	8	7	6	5	4	3	2	1	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDDDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PEDR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	G0
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PFDR	15	14	13	12	11	10	9	8	7	6	5	G6	3	2	1	0
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PGDR	-	-	-	-	-	-	-	-	AB16	AB15	AB14	AB13	AB12	AB11	AB10	AB9	AB8
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ONボードSRAM 16bitBusはCS2\_nに接続  
PxDDR, PxDDRポート 16bitBusはCS4\_nに接続

ポートのベースアドレスは  
CS4\_n: 0x1000-0000 ; SH4 P2領域,0xA000-0000 -> 0xB000-0000

```
#define PA_ADDR 0xB0000000
#define PB_ADDR 0xB0000004
#define PC_ADDR 0xB0000008
#define PD_ADDR 0xB000000C
#define PE_ADDR 0xB0000010
#define PF_ADDR 0xB0000014
#define PG_ADDR 0xB0000018

#define PADDR (*(volatile unsigned short *)PA_ADDR)
#define PADDR (*(volatile unsigned short *) (PA_ADDR+2))

#define PBDR (*(volatile unsigned short *)PB_ADDR)
#define PBDDR (*(volatile unsigned short *) (PB_ADDR+2))

#define PCDR (*(volatile unsigned short *)PC_ADDR)
#define PCDDR (*(volatile unsigned short *) (PC_ADDR+2))

#define PDDR (*(volatile unsigned short *)PD_ADDR)
#define PDDDR (*(volatile unsigned short *) (PD_ADDR+2))

#define PEDR (*(volatile unsigned short *)PE_ADDR)
#define PFDR (*(volatile unsigned short *)PF_ADDR)
#define PGDR (*(volatile unsigned short *)PG_ADDR)
```

